

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-194978

(43)Date of publication of application : 26.08.1991

(51)Int.Cl.

H01L 33/00
 B41J 2/44
 B41J 2/45
 B41J 2/455
 G03G 15/04

(21)Application number : 01-334485

(71)Applicant : NIPPON SHEET GLASS CO LTD

(22)Date of filing : 22.12.1989

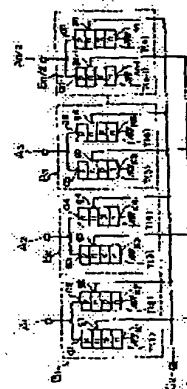
(72)Inventor : KUSUDA YUKIHISA

(54) LIGHT EMITTING ELEMENT ARRAY

(57)Abstract:

PURPOSE: To reduce the necessary number of electrodes, to enhance resolution, to reduce its cost and to raise reliability by providing a light emitting element block including a plurality of light emitting elements, a plurality of first electrodes for supplying first signals, and a plurality of second electrodes for supplying second signals.

CONSTITUTION: Light emitting element blocks B including a plurality of light emitting elements T for emitting lights when first and second signals are simultaneously supplied, a plurality of electrodes A for supplying the first signals to the elements T in the block B to be provided in the blocks B, and a plurality of second electrodes G for supplying the second signals to the elements T to be provided at the elements T corresponding to the blocks B are provided. Thus, the number of electrodes can be reduced, and since the arraying pitch of the elements can be reduced, its resolution can be enhanced, its cost can be reduced, and high reliability is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-194978

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月26日

H 01 L 33/00
B 41 J 2/44

N 8934-5F

2/45
2/455
G 03 G 15/04
H 01 L 33/00

1 1 6

J 8607-2H
8934-5F
7611-2C

B 41 J 3/21

L

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 発光素子アレイ

⑯ 特 願 平1-334485

⑰ 出 願 平1(1989)12月22日

⑱ 発 明 者 楠 田 幸 久 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

⑲ 出 願 人 日本板硝子株式会社 大阪府大阪市中央区道修町3丁目5番11号

⑳ 代 理 人 弁理士 土 屋 勝

明 細 書

載の発光素子アレイ。

1. 発明の名称

発光素子アレイ

2. 特許請求の範囲

1. 第1及び第2の信号が同時に供給されたときに発光する複数の発光素子を各々が含んでいる発光素子ブロックと、

前記複数の発光素子ブロックの各々に対して設けられており、その発光素子ブロック内の前記発光素子に対して前記第1の信号を供給する複数の第1の電極と、

前記複数の発光素子ブロックの各々の互いに対応する前記発光素子に対して設けられており、これらの発光素子に対して前記第2の信号を供給する複数の第2の電極とを各々具備する発光素子アレイ。

2. p形半導体とn形半導体とが交互に積層された構造を前記発光素子が有している請求項1記

3. 発明の詳細な説明

(産業上の利用分野)

本発明は複数の発光素子により構成された発光素子アレイに関するものである。

(発明の概要)

本発明は、第1及び第2の信号が同時に供給されたときに発光する複数の発光素子から構成される発光素子アレイにおいて、複数の発光素子を各々が含んでいる発光素子ブロックと、第1の信号を供給する複数の第1の電極と、第2の信号を供給する複数の第2の電極とを夫々具備して発光素子アレイに設けることの必要な電極の数を減らすことによって、発光素子アレイの高解像度化、低価格化及び高信頼化を可能にしたものである。

(従来の技術)

従来より公知の光プリンタ、特にLEDアレイ

を用いた光プリンタ（以下LEDプリンタと称する）について第5図～第8図を用いて説明する。

第5図に示すように、円筒形の感光ドラム51の表面にアモルファスシリコン等により光導電性の感光体58が形成されている。このドラム51は印字の速度に対応した回転速度で回転する。

まず、このドラム51の感光体表面58を帯電器57により一様に帯電させる。次に、画像情報に対応するLEDが点灯しているLED（発光素子）アレイ62からの光出力をロッドレンズアレイ63でドラム51の感光体表面58に結像させる。すると、この光の結像部分において帯電による電荷が中和し、感光体表面58の帯電状態が画像情報に対応して変化する。このように画像情報に対応したパターンが感光体表面58に形成される。

次に、現像器60によって前記パターンの帯電状態に従ってトナーを感光体表面58に付着させる。そして、カセット61から送られている用紙に転写器52において上記トナーを転写する。次

に、このトナーの転写された用紙は定着器53で熱などを加えられてトナーが定着されてからスタッカ54に送られる。

一方、転写の終了した感光ドラム51では残留したトナーが清掃器56によって除去され、消去ランプ55によって感光体表面58の帯電が全面的に中和され、次の動作に備える。以上のようにして、LEDプリンタにより画像情報が用紙に転写できる。

LED（発光素子）アレイ62のロッドレンズアレイ63及び感光ドラム51に対する位置関係を第6図に示す。横長に構成されたロッドレンズアレイ63は感光ドラム51の接平面に対してほぼ直角にかつ感光体表面58とはほぼ平行に配置されている。また、複数の微小な発光素子を一列に並べて構成したLEDアレイ62はロッドレンズアレイ63を介してLEDアレイ62からの光がロッドレンズアレイ63に入射するように配置されている。

LEDアレイ62はこの外部に設けられた駆動

ICを備え、この駆動ICが各発光素子への発光信号を発生させる。このようなLEDアレイと駆動ICとによる等価回路を第7図に示す。

アノードとカソードとを有するダイオードである発光素子103が通常64個又は128個並べられ集積されることによって発光素子アレイチップ102が構成されている。そして、上記感光ドラムに印字するのに必要なサイズ分だけ発光素子アレイチップ102を並べて発光素子アレイが構成されている。

また、駆動IC101はシフトレジスタ101aとラッチ101bとから構成され、ラッチ101bからの発光信号としての電流が各発光素子103に流れるように、ラッチ101bと発光素子103のアノードとが接続されている。また、各発光素子103のもう一方の極のカソードは接地されて共通の電極に構成されている。

第8図に発光素子アレイチップ102と駆動IC101との実際の配置状態を示す。発光素子アレイチップ102において各発光素子の発光領域

103aはその平面がほぼ正方形に形成され、これらの発光領域103aが中央付近に横一列に配列されている。電極101cを有する駆動IC101が前記列の両側にこの列から離れた位置に夫々配置されている。

また、発光素子103の各々のアノードと駆動IC101の電極101cとの実際の接続のために、発光素子アレイチップ102に設けること必要な数の電極104が、発光素子ごとに発光素子の両側に配置されている。これらの電極104はボンディングワイヤ105によって、電極101cに夫々接続されている。

これらの電極104は各発光領域103aに対して両側に設けられるから、発光領域103aの配列ピッチに対して電極104の配列ピッチは2倍となる。従って、電極104の配列ピッチを粗くできて電極104の発光領域103aに対する幅を広くできる。

電極104と電極101cとの間を接続する実装技術として、ワイヤボンディング法が一般的で

ある。第8図に示す電極104の配置によれば、ワイヤボンディングを実際に行なうことのできる限界のピッチの半分まで発光素子を並べることができる。

従って、発光素子の配置の密度を約2倍にできるから、発光素子アレイの解像度を高くでき、また、このような発光素子アレイを用いたLEDプリンタも高解像度化が可能となる。

〔発明が解決しようとする課題〕

ところが、第8図に示す配置例によると、発光領域103aの配列ピッチで500DPI(ドット/インチ)が限界である。このピッチはワイヤボンディング法の限界ピッチにより決まり、発光領域103aのピッチで50 μ m程度、電極104のピッチで100 μ m程度に相当する。

このような配列ピッチを500DPI以上とすることは上述の実装技術上の制約から実質的に不可能であるから、発光素子アレイにおいて発光素子をより高密度に配置することができない。従っ

p形半導体とn形半導体とが交互に積層された構造を前記発光素子が有していることが好ましく、例えばアノード電極とゲート電極とを有しているサイリスタ構造の発光素子を挙げることができる。

〔作用〕

本発明による発光素子アレイでは、発光素子への第2の信号の供給を複数の第2の電極の各々について時分割で行う様にすれば、第1の電極が発光素子ブロック毎にしか設けられていなくても、総ての発光素子を特定して発光させることができる。

従って、発光のための信号を供給する電極が総ての発光素子の各々に対して設けられている場合に比べて、電極の数を少なくすることができる。このため、発光素子の配列ピッチを小さくすることができ、また電極と他の電気的部品等との接続も少ない。

〔実施例〕

て、発光素子アレイの解像度を従来以上に高めることはできなかった。

本発明の目的は、発光素子アレイに設けることの必要な電極の数を減らして発光素子を高密度に配置することによって、発光素子アレイの高解像度化、低価格化及び高信頼化を達成することにある。

〔課題を解決するための手段〕

前記目的を達成するために本発明の発光素子は、第1及び第2の信号が同時に供給されたときに発光する複数の発光素子を各々が含んでいる発光素子ブロックと、前記複数の発光素子ブロックの各々に対して設けられており、その発光素子ブロック内の前記発光素子に対して前記第1の信号を供給する複数の第1の電極と、前記複数の発光素子ブロックの各々の互いに対応する前記発光素子に対して設けられており、これらの発光素子に対して前記第2の信号を供給する複数の第2の電極とを夫々具備している。

以下、本発明の実施例を第1図～第4図を参照しながら説明する。

第1図は本実施例の発光素子アレイの等価回路を示すものである。発光素子アレイを構成するn個(n:偶数)の発光素子T(1)、T(2)、T(3)、T(4)、(5)、T(6)、……、T(n)はpnpn構造を有する発光サイリスタである。

発光素子T(1)はアノード電極 a_1 、ゲート電極 g_1 及びカソード電極 k_1 を有している。T(2)～T(n)の各発光素子も同様にアノード電極 $a_2 \sim a_n$ 、ゲート電極 $g_2 \sim g_n$ 及びカソード電極 $k_2 \sim k_n$ を夫々有している。

n個の発光素子T(1)～T(n)を、T(1)及びT(2)を1つの発光素子ブロックとすることによってn/2個の発光素子ブロックに分割する。

ブロックBにおいて発光素子T(1)及びT(2)のアノード電極 a_1 と a_2 とから成りこれらのアノード電極 a_1 と a_2 とに共通な第1の電

極 A_1 が構成されている。同様に、ブロック B_1 において $T(3)$ 及び $T(4)$ のアノード電極 a_3 と a_4 とから成る第1の電極 A_2 、……、ブロック $B_{n/2}$ において $T(n-1)$ 及び $T(n)$ のアノード電極 a_{n-1} と a_n とから成る第1の電極 $A_{n/2}$ が夫々構成されている。

これらの第1の電極 $A_1 \sim A_{n/2}$ によれば、各発光素子のアノード電極 $a_1 \sim a_n$ に第1の信号である発光信号を供給できる。

また、ブロック B_1 における $T(1)$ のゲート電極 g_1 、ブロック B_2 における $T(3)$ のゲート電極 g_3 、……、ブロック $B_{n/2}$ における $T(n-1)$ のゲート電極 g_{n-1} から成り、各ブロック $B_1 \sim B_{n/2}$ にまたがってこれらのゲート電極 g_1 、 g_3 、 g_5 、……、 g_{n-1} に共通な第2の電極 G_1 が構成されている。同様に、ゲート電極 g_2 、 g_4 、 g_6 、……、 g_n に共通な第2の電極 G_2 が構成されている。

これらの第2の電極 G_1 、 G_2 によれば、各発光素子のゲート電極 $g_1 \sim g_n$ に第2の信号であ

ることがわかる。

第1図に示す発光素子アレイにおいて、第2の電極 G_1 を0V、 G_2 を5Vにする。そして、第1の電極 $A_1 \sim A_{n/2}$ を通して各アノード電極 $a_1 \sim a_n$ に所望の発光強度に依存した発光信号としてのアノード電流 I_a を流す。すると、第2の電極 G_2 に接続されているゲート電極 g_2 、 g_4 、……、 g_n を有する発光素子 $T(2)$ 、 $T(4)$ 、 $T(6)$ 、……、 $T(n)$ のアノード電極 a_2 、 a_4 、 a_6 、……、 a_n にはアノード電流 I_a は流れないが、第2の電極 G_1 に接続されているゲート電極 g_1 、 g_3 、 g_5 、……、 g_{n-1} を有する発光素子 $T(1)$ 、 $T(3)$ 、 $T(5)$ 、……、 $T(n-1)$ にはアノード電流 I_a が流れる。

次に、第2の電極 G_1 を5V、 G_2 を0Vにすると、上述の場合と全く逆のことが起こる。

このように本実施例の発光素子アレイは、第1の電極 $A_1 \sim A_{n/2}$ 及び第2の電極 G_1 、 G_2 とを具備することによって偶数番号の発光素子 T (

る制御信号を供給できる。

なお、カソード電極 k_1 、 k_2 、……、 k_n は接地されて全て共通の電極 k に構成されている(第3図参照)。

以上のような発光素子アレイの動作を第2図により説明する。第2図における2つの曲線は、ゲート電極の電圧 V_g を0V及び5Vとしたときのアノード電圧 V_a ・アノード電流 I_a 特性を夫々示すものである。

制御信号であるゲート電圧 V_g が5Vの場合、アノード電圧 V_a が約6V以上にならないと発光信号であるアノード電流 I_a が流れず、発光サイリスタは発光しない。一方、ゲート電圧 V_g が0Vの場合、アノード電圧 V_a が約1V以上でアノード電流 I_a が流れて発光サイリスタが発光する。なお、発光素子の発光強度はアノード電流 I_a にほぼ比例する。

以上のような特性から、 $pnpn$ 構造を有する発光サイリスタのゲート電極 $g_1 \sim g_n$ の電位により発光サイリスタの発光及び非発光を制御でき

2)、 $T(4)$ 、 $T(6)$ 、……、 $T(n)$ と奇数番号の発光素子 $T(1)$ 、 $T(3)$ 、 $T(5)$ 、……、 $T(n-1)$ とを時分割で発光させることができる。

さらに、第1の電極によっても発光を制御できるから、結局総ての発光素子 $T(1) \sim T(n)$ を特定して発光することができる。

本実施例において、 n 個の発光素子から構成された発光素子アレイに設けることの必要な電極の総数を Y とすると、

$$Y = n/2 + 2 + 1 \quad (1)$$

である。ここで“ $n/2$ ”は第1の電極の数、“2”は第2の電極の数及び“1”は全発光素子に共通なカソード電極の数である。

一般に第2の電極の数が m の場合、発光素子アレイに設けることの必要な電極の総数 Y は、

$$Y = n/m + m + 1 \quad (2)$$

である。電極の総数 Y を最小にするには式(2)から、

$$m = n^{1/2} \quad (3)$$

であればよいことがわかる。この場合の電極の総数 Y は式(2)及び(3)から、

$$Y = 2n^{1/2} + 1 \quad (4)$$

である。

従来例において、例えば第7図及び第8図に示す発光素子アレイに設けることの必要な電極の総数 Y_c は、全発光素子に共通な接地された電極を含めて、

$$Y_c = n + 1 \quad (5)$$

である。

上記式(4)及び(5)を比較すると、 $n = 4$ のときの両者の電極の数は同じになるが、通常 n は4よりも大きく、 n が大きくなればなるほど両者の電極の数の差は増大することがわかる。

従って、本発明における発光素子アレイに設けることの必要な電極の数は発光素子の数が多くなればなるほど、第7図及び第8図に示す従来例の発光素子アレイの場合よりもかなり減ることがわかる。

次に、以上のような構成の発光素子アレイの具

なお、カソード電極として、 n 型半導体基体1から全発光素子に共通なカソード電極 k を構成することができる。

なお、半導体基体1の半導体材料としてはGaAsが一般的であるが、これに限定されるものではなく何であってよい。半導体基体1上に形成される各半導体層21~24の半導体材料は、所望の発光波長によって自由に選択される。例えば、各半導体層21~24にGaAsを用いると発光波長は900nm程度である。またAlGaAsを用いた場合Alの組成を変えることによって、600nm台まで自由にその発光波長を変えることができる。

次に、以上のような発光素子アレイを発光素子アレイチップに構成した例について第4図により説明する。

なお、第4図において第8図と同一部分には同一符号を付けてその説明は省略する。また、この発光素子アレイチップは、第5図及び第6図により既述したLEDプリンタのLEDアレイを構成するのに用いることができるものである。

体的な構造例について説明する。第3図は発光素子アレイを半導体基体上に実際に形成した場合の構造を示す断面図である。

この発光素子アレイは次のような手順で作成することができる。まず、 n 型半導体基体1上に n 型半導体層24、 p 型半導体層23、 n 型半導体層22及び p 型半導体層21を順次に形成する。次に、上述の半導体層21~24が形成された基体1にフォトリソ法を適用することによって、個々の発光素子を形成する。

このようにして半導体層21~24から構成される発光素子 $T(1)$ 、 $T(2)$ 、 $T(3)$ ……を形成できる。

以上の各発光素子において p 型半導体層21をアノード電極 a_1 、 a_2 、 a_3 ……及び n 型半導体層22をゲート電極 g_1 、 g_2 、 g_3 ……とする。そして、金属配線材料により、上述のアノード電極から第1の電極 A_1 、 A_2 ……を夫々形成し、また上述のゲート電極から第2の電極 G_1 及び G_2 を夫々形成する。

第4図に示すように、発光素子アレイチップ100には、第8図に示したのと同じ形状の発光領域100aが第8図と同様のピッチで配列されている。また、発光素子アレイチップ100の端には第2の電極 G_1 、 G_2 が配置され、各発光領域100aの両側には第1の電極 A_1 、 A_2 、 A_3 ……が夫々配置されている。

隣り合う2つの発光素子の各アノード電極が第1の電極 A_1 、 A_2 、 A_3 ……を夫々構成している。そして、奇数列の駆動電極 A_1 、 A_3 、 A_5 ……は第4図の紙面上側に、偶数列の駆動電極 A_2 、 A_4 、 A_6 ……は同じく下側に配置されている。第1の電極 A_1 、 A_2 、 A_3 ……と第2の電極 G_1 、 G_2 とは駆動IC101の電極101cにワイヤボンディング法により夫々接続されている。

以上のように構成された発光素子アレイチップ100によれば、第8図に示すアレイチップ103と比較するとわかるように、電極の配列ピッチを第8図の場合より2倍程度粗くして並べること

ができる。また、第2の電極 G_1 、 G_2 も支障なく配置できる。

従って、第7図及び第8図に示す従来例のものよりもワイヤボンディングが行い易くなり、その工数も削減できるから、このような発光素子アレイチップ100によると発光素子アレイの高信頼化及び低価格化が実現できる。

また、第8図に示す従来例のものと同じ電極の配列ピッチにすれば、約2倍の発光素子を発光素子アレイチップに並べることができて発光素子を高密度に配置できるから、このような発光素子アレイチップによれば発光素子アレイの高解像度化が実現できる。従って、またLEDプリントの高解像度化にも寄与できる。

以上のように本実施例では発光素子として、最も簡単な構造の発光サイリスタを用いたが、発光効率を上げるために例えばダブルヘテロ構造のようなより複雑な構造、例えば6層以上の層構成を用いても同様の機能を達成できて同様の効果が得られる。また、発光素子として静電誘導(SI)

サイリスタまたは電界制御サイリスタ(FCT)などを用いることができる。

さらに、用いることのできる発光素子は上述のような発光サイリスタに限定されるものではなく、発光素子の発光可能及び発光不可能を制御できる電極及び発光信号を印加する電極を備えたものであれば何でも用いることができる。

また、2次元あるいは3次元的に多数の発光素子が配置された発光素子アレイでも同様な効果を得ることができる。

(発明の効果)

本発明による発光素子アレイでは、発光素子の配列ピッチを小さくすることができるので、高解像度化が可能である。

また、電極と他の電気部品等との接続が少ないので、低価格化及び高信頼化が可能である。

4. 図面の簡単な説明

第1図～第4図は本発明の実施例を示すもので

あって、第1図は発光素子として発光サイリスタを用いた発光素子アレイの等価回路、第2図は第1図に示す発光サイリスタのアノード電圧・アノード電極特性曲線、第3図は第1図に示す発光素子アレイの具体的な構造例を示す断面図、第4図は駆動ICと第1図に示す発光素子アレイとの具体的な配置状態を示すための平面図である。第5図～第8図は従来例を示すものであって、第5図は第1図及び第7図に示す発光素子アレイを用いることのできる従来の光プリントの概略的な断面図、第6図は第5図に示すロッドレンズアレイ及び感光ドラムに対する発光素子アレイの位置関係を示すための斜視図、第7図は従来の発光素子アレイの等価回路、第8図は駆動ICと第7図に示す発光素子アレイとの具体的な配置状態を示すための平面図である。

なお図面に用いられている符号において、

$T(1) \sim T(n)$

..... n 個の発光素子

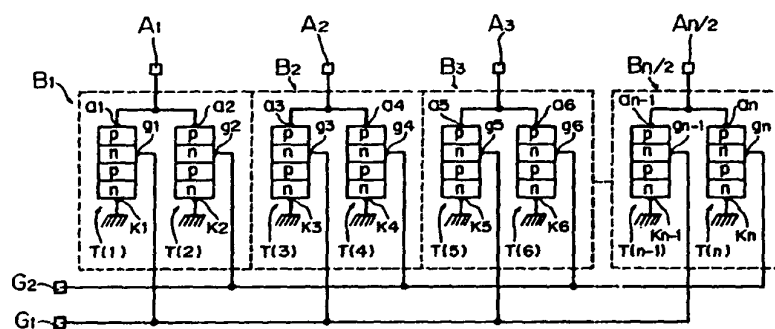
$B_1 \sim B_{m/2}$ 発光素子ブロック

$A_1 \sim A_{m/2}$ 第1の電極

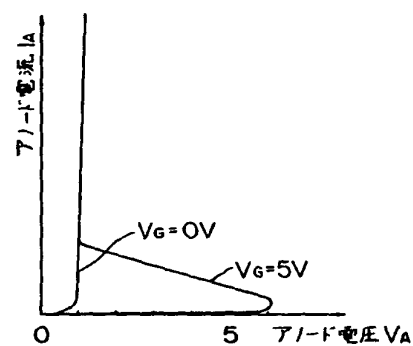
G_1, G_2 第2の電極

である。

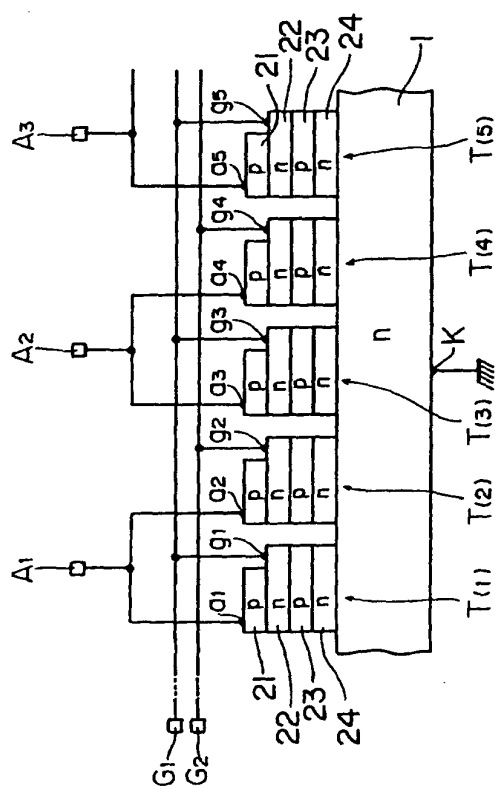
代理人 土屋 勝



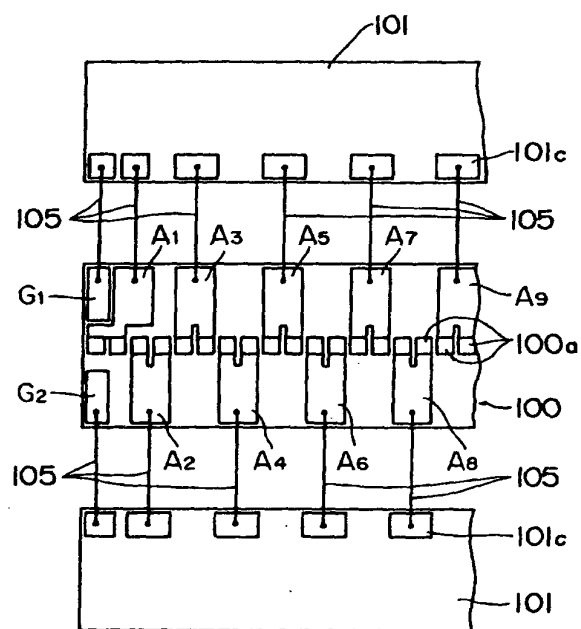
第 1 図



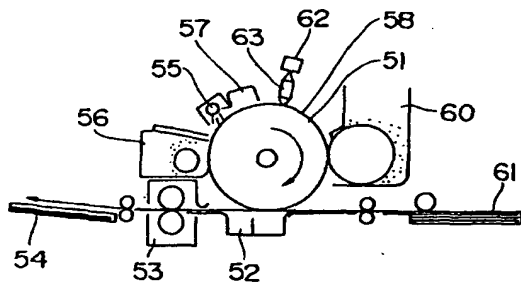
第 2 図



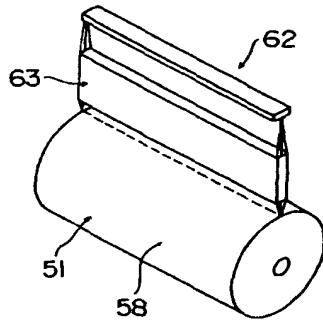
第 3 卷



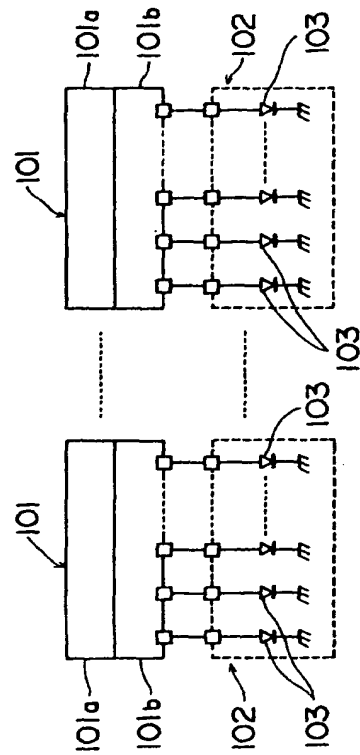
第4図



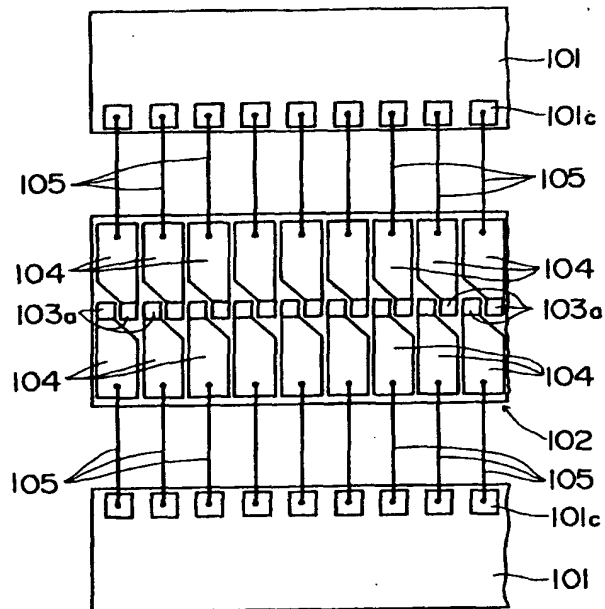
第5図



第6図



第7図



第8図